

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 8日

出 願 番 号

Application Number:

特願2002-198205

[ST.10/C]:

[JP2002-198205]

出 願 人

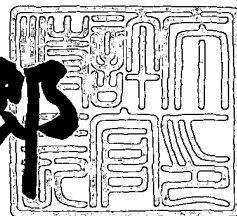
Applicant(s):

NECエレクトロニクス株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3029794

【書類名】 特許願

【整理番号】 72310298

【提出日】 平成14年 7月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/52

【発明の名称】 半導体装置

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 細谷 太

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100081433

 【弁理士】

 【氏名又は名称】 鈴木 章夫

【手数料の表示】

 【予納台帳番号】 007009

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9002138

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 矩形の金属板からなる底辺部と、前記底辺部の少なくとも一部に形成された凸部からなる接続電極とを備える金属ベースと、前記金属ベースの底辺部に搭載された半導体チップとで構成され、前記半導体チップの表面に形成された電極と、前記接続電極を利用して実装を行う半導体装置において、前記接続電極の表面高さは、前記半導体チップの電極の表面高さよりも所要寸法だけ高くされていることを特徴とする半導体装置。

【請求項 2】 矩形の金属板からなる底辺部と、前記底辺部の少なくとも一部に形成された凸部からなる接続電極とを備える金属ベースと、前記金属ベースの底辺部に搭載された半導体チップとで構成され、前記半導体チップの表面に形成された電極と、前記接続電極を利用して実装を行う半導体装置において、前記金属ベースは、前記底辺部の両側を曲げ起こした両辺部を備え、前記両辺部は上縁部の選択された部分が当該両辺部の高さ寸法よりも短い寸法で切り欠かれており、前記切り欠かれた間に存在する前記上縁部により前記接続電極が形成されていることを特徴とする半導体装置。

【請求項 3】 前記接続電極の面積は前記半導体チップの電極の面積よりも小さい面積であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記接続電極は前記両辺部の長さ方向及びこれと直交する方向の少なくとも一方について対称となるように配置されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記底辺部と前記両辺部との境界に沿って、前記金属板の表面に浅い細溝が形成されていることを特徴とする請求項 2 ないし 4 のいずれかに記載の半導体装置。

【請求項 6】 前記接続電極は、前記両辺部に残された前記上縁部を両外側に向けて曲げ形成した構成であることを特徴とする請求項 2 ないし 5 のいずれかに記載の半導体装置。

【請求項 7】 矩形の金属板からなる底辺部と、前記底辺部の少なくとも一

部に形成された凸部からなる接続電極とを備えるメタルベースと、前記メタルベースの底辺部に搭載された半導体チップとで構成され、前記半導体チップの表面に形成された電極と、前記接続電極を利用して実装を行う半導体装置において、前記メタルベースは、前記底辺部の表面の一部領域において前記金属板の厚さを部分的に増大させた接続電極を備え、前記接続電極は前記半導体チップの電極よりも小さい面積に形成されていることを特徴とする半導体装置。

【請求項 8】 前記メタルベースは、前記金属板をエッチングまたは鍛造して形成されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記接続電極は、表面側の面積が下部の面積よりも小さい断面が台形に形成されていることを特徴とする請求項 7 又は 8 に記載の半導体装置。

【請求項 10】 前記接続電極は、前記半導体チップの長さ方向、及び当該半導体チップを挟む幅方向の少なくとも一方について対称となる位置にそれぞれ形成されていることを特徴とする請求項 7 ないし 9 のいずれかに記載の半導体装置。

【請求項 11】 前記接続電極は前記底辺部のチップを挟んだ両側にそれぞれ 1 つずつ形成されていることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】 前記接続電極は、表面の高さが前記半導体チップの電極の表面よりも所要寸法だけ高く形成されていることを特徴とする請求項 2 ないし 11 のいずれかに記載の半導体装置。

【請求項 13】 前記接続電極の表面高さは前記半導体チップの電極の表面高さよりも 0 ～ 0.1 mm 程度高くされていることを特徴とする請求項 1 ないし 12 のいずれかに記載の半導体装置。

【請求項 14】 前記半導体チップは前記底辺部の一側寄りの領域に搭載され、前記接続電極は前記底辺部の他側寄りの領域に形成されていることを特徴とする請求項 7 ないし 9 のいずれかに記載の半導体装置。

【請求項 15】 前記接続電極は、前記底辺部の辺に接しない内側領域に形成され、かつ前記半導体チップの電極と対称の位置に形成されていることを特徴とする請求項 14 に記載の半導体装置。

【請求項 1 6】 前記半導体チップの電極又は前記接続電極の少なくとも一方に半田ボールが形成されていることを特徴とする請求項 1 ないし 1 5 のいずれかに記載の半導体装置。

【請求項 1 7】 前記半導体チップは MOS トランジスタのトランジスタチップであり、半導体チップの裏面にドレイン電極が形成されて前記底辺部に直接接触した状態で搭載されて前記接続電極がドレイン接続電極として構成され、前記半導体チップの表面にはゲート電極及びソース電極がそれぞれ形成されていることを特徴とする請求項 1 ないし 1 6 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体装置のパッケージに関し、特にチップサイズで放熱性に優れたパッケージ構造の半導体装置に関するものである。

【 0 0 0 2 】

【従来の技術】

近年における半導体装置を実装した電子回路の高集積化の要求により、個々の半導体装置のパッケージをより小型化することが要求されている。このようにパッケージの小型化を図った半導体装置としてチップサイズパッケージ（C S P）が提案されている。図 1 2 は米国特許 2 0 0 1 / 0 0 4 8 1 1 6 公報に記載の半導体装置であり、半導体チップよりも若干大きな寸法の金属板を加工して皿状に形成し、この皿状の金属板（以下、メタルベースと称する）1 1 0 の凹部 1 1 1 内に半導体チップ 1 0 1 を搭載する。半導体チップ 1 0 1 は MOS トランジスタチップの例であり、半導体チップ 1 0 1 の裏面に図には現れないドレイン電極が形成されており、このドレイン電極を凹部 1 1 1 の底面に直接固着し、かつ半導体チップ 1 0 1 の周囲の凹部 1 1 1 内に樹脂 1 1 3 を充填して封止する。また、半導体チップ 1 0 1 の表面にはゲート電極 1 0 7 とソース電極 1 0 8 が形成されており、前記メタルベース 1 1 0 の表面と同一平面になるように形成されている。そして、前記メタルベース 1 1 0 の表面の周辺部 1 1 2 の複数領域をドレイン接続電極 1 1 5 として構成している。この半導体装置を図外の実装基板にフェー

スダウンにより実装することで、メタルベース 1 1 0 の周辺部 1 1 2 のドレイン接続電極 1 1 5 が実装基板に設けられたドレイン接続電極用のパッド部に接続され、同時にゲート電極とソース電極がそれぞれゲート電極用及びソース電極用の各パッド部に接続される。

【 0 0 0 3 】

ここで、前記公報には、図 1 3 (a) に示すように、メタルベース 1 2 0 の両辺部 1 2 2 を残して凹部 1 2 1 を形成し、その両辺部 1 2 2 の表面をドレイン接続電極 1 2 5 として構成したもの、また、図 1 3 (b) に示すように、メタルベース 1 3 0 の両辺部ではなく片辺部 1 3 2 のみ残して凹部 1 3 1 を形成し、その上で当該片辺部 1 3 2 の長さ方向の複数箇所に全厚さにわたる溝 1 3 3 を形成し、この溝 1 3 3 によって分離された領域の表面をそれぞれドレイン接続電極 1 3 5 として構成したものも提案されている。なお、図 1 3 (a) と同様な技術として、特開平 8 - 7 8 6 5 7 号公報には図示は省略するが、両辺部を残して凹部を形成し、この凹部に半導体チップを搭載し、半導体チップの表面の電極と両辺部の表面と同一面としてフェースダウンによる実装を行う技術が記載されている。

【 0 0 0 4 】

また、米国特許第 6 1 3 3 6 3 4 号公報には、図 1 2 の半導体装置とほぼ同じであるが、図 1 4 に示すような半導体装置が提案されており、ここではメタルベース 1 4 0 にはプレス加工等によって周辺部 1 4 2 を残して凹部 1 4 1 が形成され、この凹部 1 4 1 内に半導体チップ 1 0 1 が固着されている。そして、ここではメタルベース 1 4 0 の周辺部 1 4 2 の表面を半導体チップ 1 0 1 の表面に設けられた電極 1 0 2 とほぼ同一面に形成するとともに、当該周辺部 1 4 2 の表面及び半導体チップ 1 0 1 の表面の各電極 1 0 2 に半田ボール 1 0 3 を形成してフェースダウンにより実装を行うように構成されている。

【 0 0 0 5 】

これらの従来の半導体装置は、メタルベースが半導体チップよりも若干大きな平面寸法であり、また半導体チップの厚さにメタルベースの厚さを加えた厚さ寸法であり、しかも半導体チップに対して金属ワイヤ等をボンディングする必要がなく、さらに樹脂で封止する必要も少ないため、半導体装置の小型化、薄型化が

可能になり、しかも構造が簡易であるために低価格に製造できる。また、実装した状態ではメタルベースがヒートシンクとして機能するために放熱性にも優れるという利点もある。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、これらの半導体装置について本発明者が検討を加えたところ次のような問題が潜在していることが明らかとなった。図 1 2 及び図 1 4 に示したようにメタルベースの周辺部を除いて凹部を形成した半導体装置では、凹部を形成するためにはメタルベースに対してプレス加工、あるいはエッチング加工が必要であり、この加工が煩雑でかつ高精度に加工することが難しく、結果として低価格化を図る上での障害になる。この点、図 1 3 (a) , (b) に示した半導体装置では、メタルベースの両辺部あるいは片辺部を曲げ加工、あるいは切削加工によって形成することが可能であり、しかも比較的に高精度に加工することが容易であるため、小型化、低価格化を図る上では有利である。また、熱放散を向上し、また小型で薄くても機械的な強度を向上できるという点でも有利である。

【 0 0 0 7 】

しかしながら、図 1 3 (a) に示した半導体装置では、メタルベース 1 2 0 の両辺部 1 2 2 の表面を平坦な面として形成した上で、その全面あるいは一部をドレイン接続電極 1 2 5 として形成しているので、ドレイン接続電極 1 2 5 の面積がゲート電極 1 0 7 やソース電極 1 0 8 の面積よりも大きくなり、フェースダウンにより実装したときに、ドレイン接続電極 1 2 5 の熱容量がゲート電極やソース電極よりも大きくなる。そのため、実装基板に半田により実装する際に、ドレイン接続電極 1 2 5 での半田量をゲート電極 1 0 7 やソース電極 1 0 8 の半田量よりも多く供給する必要があるが、実装基板における半田密度が均一にならず、半田の熱容量も不均一になる。したがって、半田のリフロー時にはドレイン接続電極 1 2 5 を高温にする必要があり、高温によって半導体装置の一部、特に半導チップとメタルベースの接続部に熱ダメージを与え、同時に半田量の少ないゲート電極 1 0 7 やソース電極 1 0 8 における半田による接続信頼性が低下し、ひいては実装の信頼性が低下するという問題が生じる。また、ドレイン接続電極 1 2 5

の表面とゲート電極 1 0 7 やソース電極 1 0 8 の表面がほぼ同一面であるため、実装時にフェースダウンにより実装基板に搭載した際に、ゲート電極 1 0 7 やソース電極 1 0 8 が実装基板の表面に衝突し、これら電極を含めて半導体チップ 1 0 1 に機械的ダメージが加えられるという問題もある。なお、このような問題は図 1 2 及び図 1 4 に示した半導体装置においてもドレイン接続電極がメタルベースの広い領域にわたって形成されているため、同様に生じることになる。

【 0 0 0 8 】

また、図 1 3 (b) に示した半導体装置においても、ドレイン接続電極 1 3 5 の面積がゲート電極やソース電極の面積よりも大きくされているために、同様な熱容量の違いによる半田量の違い、並びにこれに伴う半導体チップに対する熱ダメージの問題や半田による接続信頼性の問題が生じる。この場合、ドレイン接続電極 1 3 5 の面積を小さくすれば、実装時における個々のドレイン接続電極 1 3 5 の熱容量を小さくすることができ、前述した問題を解消する上では有効になるが、ドレイン接続電極 1 3 5 は切削加工によって形成した溝 1 3 3 によって複数の領域に分割しており、特にドレイン接続電極 1 3 5 を分離するためにメタルベース 1 3 0 の全厚さにわたって溝 1 3 3 を形成しているため、個々のドレイン接続電極 1 3 5 はメタルベース 1 3 0 に対して片持ち片構造となり、当該ドレイン接続電極 1 3 5 の機械的な強度が低下し、実装基板に実装したときにおけるメタルベースの支持強度が低下する要因となり、この面から実装の信頼性が低下するという問題がある。また、この半導体装置においても、ドレイン接続電極 1 3 5 とゲート電極 1 0 7 及びソース電極 1 0 8 の表面が同一高さとなっているため、実装時における半導体チップへの機械的ダメージという問題もある。

【 0 0 0 9 】

本発明の目的は、特に実装時における半田付けを良好なものとし、実装の信頼性を改善した半導体装置を提供するものである。

【 0 0 1 0 】

【課題を解決するための手段】

本発明は、矩形の金属板からなる底辺部と、底辺部の少なくとも一部に形成された凸部からなる接続電極とを備えるメタルベースと、メタルベースの底辺部に

搭載された半導体チップとで構成され、半導体チップの表面に形成された電極と前記接続電極を利用して実装を行う半導体装置において、接続電極の表面高さは半導体チップの電極の表面高さよりも所要寸法だけ高くされていることを特徴とする。

【 0 0 1 1 】

本発明の他の半導体装置は、メタルベースは底辺部の両側を曲げ起こした両辺部を備え、両辺部は上縁部の選択された部分が当該両辺部の高さ寸法よりも短い寸法で切り欠かれており、この切り欠かれた間に存在する上縁部により接続電極が形成される。ここで、接続電極は半導体チップの面積よりも小さい面積に形成されていることが好ましい。また、接続電極は両辺部の長さ方向及びこれと直交する方向の少なくとも一方について対称となるように配置されることが好ましい。また、底辺部と両辺部との境界に沿って、金属板の表面に浅い細溝が形成されることが好ましい。さらに、接続電極は両辺部に残された上縁部を両外側に向けて曲げ形成した構成としてもよい。

【 0 0 1 2 】

また、本発明のさらに他の半導体装置は、メタルベースは底辺部の表面の一部領域において金属板の厚さが部分的に増大された接続電極を備え、この接続電極は半導体チップの電極よりも小さい面積に形成されている構成とする。ここで、メタルベースは金属板をエッチングまたは鍛造して形成される。また、接続電極は表面側の面積が下部の面積よりも小さい断面が台形に形成されることが好ましい。

【 0 0 1 3 】

このさらに他の半導体装置において、接続電極は半導体チップの長さ方向、及び当該半導体チップを挟む幅方向の少なくとも一方について対称の位置にそれぞれ形成されており、例えば、底辺部の両側にそれぞれ1つずつ形成される。あるいは、半導体チップは底辺部の一側寄りの領域に搭載され、接続電極は底辺部の他側寄りの領域に形成される。この場合、接続電極は底辺部の辺に接しない内側領域に形成され、かつ半導体チップの電極と対称の位置に形成されることが好ましい。

【 0 0 1 4 】

なお、本発明の前記各半導体装置のうち一部を除く半導体装置においては、接続電極の表面高さは半導体チップの電極の表面高さよりも0～0.1mm程度、好ましくは0.05mm以下、特に0.03mm程度高くされることが好ましい。また、半導体チップの電極又は接続電極の少なくとも一方に半田ボールが形成される構成としてもよい。

【 0 0 1 5 】

本発明の半導体装置は例えば、半導体チップがMOSトランジスタのトランジスタチップであり、半導体チップの裏面にドレイン電極が形成されて底辺部に直接接触した状態で搭載されて接続電極がドレイン接続電極として構成され、半導体チップの表面にはゲート電極及びソース電極がそれぞれ形成された構成で実現される。

【 0 0 1 6 】

本発明によれば、図13(a)，(b)に示した半導体装置と同様に、放熱性、小型化、低価格化を図り、かつ機械的な強度を高めるという利点を得られることはもとより、接続電極の表面の高さが半導体チップの電極よりも高い位置とされているので、フェースダウンにより実装基板に実装する際に半導体チップの電極に過大な衝撃や当接力が加わることが防止され、半導体チップに機械的ダメージを与えることがない。また、半導体チップの電極と実装基板のパッド部との間に適度な間隙を確保することで、この部分に供給された半田が押し潰されて外周部に漏れ出でて隣接するパッド部を短絡する等の不具合を防止する。さらに、半導体チップの電極とパッド部との間に介在される半田が適度な厚みをもって機械的ストレスに対する接続信頼性を向上する。これにより、半田付けの信頼性が高くなる。

【 0 0 1 7 】

また、本発明の他の半導体装置によれば、接続電極はメタルベースの底辺部の両側を曲げ起こした両辺部の上縁部を選択的に切り欠いて形成されているので、接続電極の長さを短くして接続電極の面積を半導体チップの電極の面積よりも小さくし、かつ熱容量を小さくできる一方で、下縁部において連続した状態にある

両辺部によって接続電極の機械的強度を高めることができ、実装基板に対する半田付けの信頼性を高めることができる。特に、実装基板に形成するパッド部を均一寸法で形成した場合でも接続電極及び半導体チップの電極をそれぞれ好適に半田付けすることができる。さらに、接続電極は両辺部の長さ方向及びこれと直交する方向の少なくとも一方について対称に配置することで、実装時に接続電極を実装基板に対して安定な状態で載置して半田付けを行うことができ、半田付け時の熱の伝導の均一化や当接力を各接続電極に均一に分散させて、接続の信頼性を高めることができる。また、底辺部と両辺部との境界に沿って、金属板の表面に浅い細溝が形成されることで、両辺部及び接続電極を高い精度で形成することが可能になる。また、接続電極は両辺部に残された上縁部を両外側に向けて曲げ形成されるので、金属板でメタルベースを形成する場合でも実装基板に対する半田付け面積を大きくとれ、低抵抗での接続が可能になる。

【 0 0 1 8 】

また、本発明のさらに他の半導体装置によれば、接続電極はメタルベースは底辺部の表面の一部領域において金属板の厚さが部分的に増大されて形成され、かつ接続電極は半導体チップの電極よりも小さい面積に形成されているので、半導体チップの電極における半田付けの信頼性を高めるとともに、接続電極の熱容量を小さくすることができ、実装時の半田付けにおいては半導体チップの電極との半田量をほぼ等しい量にすることができ、当該電極と接続電極のそれぞれにおいて好適な半田付けが可能になる。また、接続電極は表面側の面積が下部の面積よりも小さい断面が台形に形成されることにより、接続電極の機械的強度を高めることができ、実装基板に対する半田付けの信頼性を高めることができる。さらに、接続電極は半導体チップの長さ方向及びこれと直交する方向の少なくとも一方について対称に配置し、あるいは電極と接続電極とが対称となる位置に配置することで、実装時に接続電極を実装基板に対して安定な状態で載置して半田付けを行うことができ、半田付け時の熱の伝導の均一化や当接力を各接続電極あるいは半導体チップの電極に均一に分散させて、接続の信頼性を高めることができる。この場合に接続電極の表面が半導体チップの電極の表面よりも高く形成されることで、実装時における半導体チップの機械的ダメージを防止することができる。

【 0 0 1 9 】

【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。図1は本発明をMOSFETの半導体チップを用いた半導体装置Dに適用した第1の実施形態の斜視図、図2はその部分分解斜視図である。また、図3(a)、(b)、(c)は平面図、正面図、右側面図である。メタルベース10は銅、洋白等の金属板で形成されており、ほぼ矩形をした板材の両辺を所要の幅寸法で90度に曲げ起こすことで、平坦な底辺部11と、この底辺部11の両側に沿って垂直に起立された両辺部12とを備えている。なお、前記底辺部11と両辺部12との境界に沿った表面には浅い細溝13が形成されており、この細溝13によって両辺部12を高い寸法精度で曲げ加工することが可能とされている。前記両辺部12は長さ方向に所要の間隔をおいた中央部分と両端部分を高さ寸法のほぼ1/2の深さに切り欠いた切欠溝14を有し、これらの切欠溝14で挟まれる両辺部12の各2箇所当該両辺部12を全高さにわたって残した凸部15を有し、これらの凸部15をドレイン接続電極として形成している。ここで、前記ドレイン接続電極15の長さ方向の寸法は、後述する半導体チップ1に設けられた円形をしたゲート電極7とソース電極8の直径以下の寸法、すなわち、これら電極の寸法と同じ、あるいは若干短い寸法に形成されている。

【 0 0 2 0 】

一方、前記底辺部11の上面には銀ペースト等のダイボンディング材20によって半導体チップ1がマウントされている。前記半導体チップ1は、ここでは図2に一部を破断して示すように、シリコン等の半導体ウェハを切り出したチップ2の主面にMOSFETの素子3が形成されており、当該チップ2の下側の裏面の全面に金属層が形成されてドレイン電極4として形成される。また、前記チップ2の上側の表面には前記素子3を覆う絶縁層5が形成され、この絶縁層5に開口されたコンタクトホール6内に前記素子に接続する金属層が埋め込まれてゲート電極7とソース電極8がそれぞれ1個ずつ形成されている。前記ゲート電極7とソース電極8はそれぞれ円形をして前記両辺部12の長さ方向に沿って並んで形成されており、ここでは前記ゲート電極7とソース電極8は同じ形状及び面積

となるように形成されている。

【 0 0 2 1 】

そして、前記半導体チップ 1 の裏面のドレイン電極 4 が前記メタルベース 1 0 の底辺部 1 1 の上面に直接接触した状態でマウントされている。また、このマウントされた状態では、前記ゲート電極 7 とソース電極 8 の当該長さ方向の位置は前記両辺部 1 2 に形成したドレイン接続電極 1 5 に対応する位置とされている。さらに、図 1 及び図 3 (c) に示されるように、前記半導体チップ 1 をメタルベース 1 0 にマウントしたときに、当該メタルベース 1 0 に形成した前記ドレイン接続電極 1 5 の表面高さが前記ゲート電極 7 とソース電極 8 の表面よりも高低差 $d = 0 \sim 0.1 \text{ mm}$ 、好ましくは 0.05 mm 以下、ここでは 0.03 mm だけ高くなるように形成されている。

【 0 0 2 2 】

以上の構成の半導体装置 D の製造方法について説明する。図 4 は当該製造方法を説明するための概念図である。所要の板厚の銅、洋白等の金属板を長尺にした金属帯 M を長さ方向に送り出しながらパンチ加工装置 S 1 において所定の長さ間隔で順次パンチ加工を施し、1 つのメタルベースに相当する長さ位置に切り欠き M 1 を形成し、各メタルベースが長さ方向に沿って細幅の連結片 M 2 によって相互に連結され、後工程において当該連結片 M 2 を切断することで半導体装置を個片に分離し易くする。また、このとき、図 2 に示したように金属帯 M のメタルベース 1 0 の底片部 1 1 と両辺部 1 2 との境界に相当する部分に沿って表面に浅い細溝 1 3 を形成しておく。さらに、メタルベース 1 0 の両辺部 1 2 に相当する部分には、長さ方向の中央及び両端に両辺部の幅寸法のほぼ $1/2$ の幅で所要の長さをした切欠溝 1 4 をパンチ加工する。

【 0 0 2 3 】

次いで、曲げ加工装置 S 2 において前記金属帯 M の前記細溝 1 3 よりも両外側の部分を 90 度曲げ起こす曲げ加工を行い、前記細溝 1 3 で挟まれた領域の底辺部 1 1 と、その両側に曲げ起こされた両辺部 1 2 を形成する。このとき、細溝 1 3 によって両辺部 1 2 の曲げが案内されるため、両辺部 1 2 は正確な寸法に容易に曲げ加工することができる。また、図 3 (c) の一部拡大図から判るように、

曲げ部の内辺にR（曲面）を生じることなく曲げ加工することができるため、曲げ位置を後工程でマウントする半導体チップ1とを接近させた構成が実現できるようになり、メタルベース10を小寸法化して半導体装置Dの小型化が可能になる。さらに、この場合、メタルベース10の底辺部11の上面に細溝13の側面13aを当接するように曲げることで、位置規制を行うことができ、両辺部12の高さ寸法を極めて高精度に管理することができる。また、後工程の実装時に両辺部12に機械的な応力が加えられた場合でも両辺部12を含むドレイン接続電極15での変形を抑えることも可能になる。そして、起立された両辺部12は、その上縁は前記パンチ加工装置S1によって形成された切欠溝14によって長さ方向の2箇所が両辺部12の全幅寸法に残されたドレイン接続電極15として形成されることになる。

【 0 0 2 4 】

次いで、ダイボンド材供給装置S3において前記底辺部11の表面に銀ペースト等のダイボンド材20を塗布または印刷する。そして、マウント装置S4においてウェハWから切り出された半導体チップ1を裏面のドレイン電極4を底辺部11の表面に対して押圧した状態で前記底辺部11の表面上に位置決めする。このとき、ゲート電極7及びソース電極8が底辺部11の幅方向のほぼ中央位置で、また両辺部12の各2個のドレイン接続電極15と長さ方向にほぼ一致する位置となるように位置決めを行う。そして、この状態を保持しながらキュア装置S5において加熱処理を行って前記ダイボンド材20をキュア（リフロー）し、前記半導体チップ1を底辺部11にマウントする。このとき、半導体チップ1を押圧する力を適宜調整することで、あるいはダイボンド材20の厚さを調整することでメタルベース10の両辺部12のドレイン接続電極15の高さは半導体チップ1の表面のゲート電極7及びソース電極8の表面高さよりも寸法 $d = 0 \sim 0.1 \text{ mm}$ 、ここでは 0.03 mm 程度高くなるようにする。しかる上で、各メタルベース10を長さ方向に連結している金属帯Mの連結片M2を分離装置S6で切断して分離することで、図1に示した個片の半導体装置Dの製造が完了する。

【 0 0 2 5 】

この実施形態の半導体装置Dは、図5に示すように、前記ゲート電極7及びソ

ース電極 8、並びにドレイン接続電極 15 に対応した回路パターン 32 が形成されている実装基板 30 に対してフェースダウンにより実装される。実装基板 30 は絶縁板 31 の表面に銅箔等をパターン形成して前記回路パターン 32 を形成したものであり、ゲートパッド部 33、ソースパッド部 34、ドレインパッド部 35 がそれぞれ形成されている。実装に際しては、例えば、前記実装基板 30 の各パッド部 33、34、35 の表面に図には現れない半田を印刷しておき、前記半導体装置の上面を実装基板 30 の表面に対向させて前記各電極 7、8、15 がそれぞれ対応する配線のパッド部 33、34、35 に対向するように位置決めし、その状態で半田をリフローすることで半導体装置の各電極がそれぞれパッドに半田付けされ、実装が行われることになる。

【0026】

以上のように、本実施形態の半導体装置 D は、メタルベース 10 が半導体チップ 1 よりも若干大きな平面寸法であり、また厚さ寸法はほぼ半導体チップ 1 の厚さにメタルベース 10 の厚さを加えた寸法であり、しかも半導体チップ 1 に対して金属ワイヤ等をボンディングする必要がなく、さらに樹脂で封止していないため、半導体装置の小型化、薄型化が可能になり、しかも実装した状態ではメタルベース 10 がヒートシンクとして機能するため放熱性にも優れている。

【0027】

また、本実施形態の半導体装置 D を実装基板 30 に実装する際に、ドレイン接続電極 15 の表面の高さが半導体チップ 1 のゲート電極 7 及びソース電極 8 よりも高い位置とされているので、フェースダウンにより半導体装置 D を実装基板 30 上に載置する際に、ドレイン接続電極 15 のみが実装基板 30 に当接されるため、ゲート電極 7 及びソース電極 8 に過大な衝撃や当接力が加わることが防止され、半導体チップ 1 に機械的ダメージを与えることがない。また、ゲート電極 7 及びソース電極 8 と実装基板 30 のパッド部 33、34 との間に適度な間隙を確保することで、この部分に供給された半田が押し潰されて外周部に漏れ出でて隣接するパッド部 33、34 や隣接するパッド 35 を短絡する等の不具合を防止する。さらに、ゲート電極 7 及びソース電極 8 とパッド部 33、34 との間に介在される半田が適度な厚みをもって機械的ストレスに対する接続信頼性を向上する

。これにより、半田付けの信頼性が高くなる。

【 0 0 2 8 】

また、この実施形態では、両辺部 1 2 のドレイン接続電極 1 5 は長さ方向の寸法がメタルベース 1 0 の長さ寸法に比較して極めて短く、本実施形態ではゲート電極 7 及びソース電極 8 と同じ長さ形成されているため、ドレイン接続電極 1 5 の面積はゲート電極 7 及びソース電極 8 の面積よりも小さくなる。これにより、ドレイン接続電極 1 5 の熱容量を小さくすることができ、実装時の半田付けにおいては半導体チップ 1 のゲート電極 7 及びソース電極 8 との半田量をほぼ等しい量にすることができる。したがって、実装時にドレイン接続電極 1 5 を半田付けする際にいたずらに高温状態にする必要がなくなり、半導体チップ 1 の熱ダメージを防止するとともに、半田が電極に沿って吸い上がることが防止され、当該電極 7, 8 とドレイン接続電極 1 5 のそれぞれにおいて好適な半田付けが可能になる。なお、各電極における半田量を均一化することで、実装基板 3 0 における半田供給用マスク設計の容易化、主として半田ペースト印刷状態等の検査の容易化を図り、さらに実装時の熱容量の均一化によって半田溶融・固化タイミングを揃えて位置ずれを防止する上でも有効になる。また、このようにドレイン接続電極 1 5 の長さ寸法を短くして面積を小さくする一方で、長さ方向に並ぶ 2 つのドレイン接続電極 1 5 の下部領域はメタルベース 1 0 の全長さにわたって存在している両辺部 1 2 と一体であるため、ドレイン接続電極 1 5 の機械的強度が低下することがない。

【 0 0 2 9 】

さらに、ドレイン接続電極 1 5 は両辺部 1 2 の長さ方向及びこれと直交する半導体チップ 1 の幅方向のそれぞれについて対称に配置しているので、実装時にメタルベース 1 0 をフェースダウンにより実装基板 3 0 の表面に載置した際に、各ドレイン接続電極 1 5 が均等配置された状態で実装基板 3 0 の表面に当接されるため、実装基板 3 0 に対して半導体装置 D を安定な状態で載置して半田付けを行うことができ、半田付け時の熱の伝導の均一化や当接力を各接続電極に均一に分散させて、接続の信頼性を高めることができる。特に、この実施形態ではメタルベース 1 0 の長さ方向と幅方向のそれぞれについてそれぞれ対称配置した 4 個の

ドレイン接続電極 1 5 として構成しているの、安定性を極めて高いものにする
ことが可能になる。

【 0 0 3 0 】

さらに、本実施形態の半導体装置 D の製造に際しては、図 4 に示したように、
金属帯 M に形成した細溝 1 3 によって両辺部 1 2 を曲げ加工しており、また、両
辺部 1 2 に形成するドレイン接続電極 1 5 をパンチ加工によって形成しているた
め、前述したようにドレイン接続電極 1 5 を高い寸法精度で形成することができ
る等、メタルベース 1 0 の信頼性を向上することが可能になる。さらに、加工で
は金属帯 M に対してパンチ加工、曲げ加工、プレス切断加工を行うのみであるた
め製造が容易であり、半導体装置の低価格化を図る上で有利となる。

【 0 0 3 1 】

図 6 (a) は本発明の第 2 の実施形態の半導体装置の斜視図、図 6 (b) はそ
の一部の拡大断面図である。ここでは第 1 の実施形態と同様に MOS F E T とし
ての半導体装置に本発明を適用した例であり、第 1 の実施形態と等価な部分には
同一符号を付してある。この実施形態では、メタルベース 1 0 A のドレイン接続
電極の形状を変形しており、メタルベース 1 0 A の両辺部 1 2 には長さ方向のほ
ぼ中央位置にそれぞれ 1 つのドレイン接続電極 1 5 A を形成している。すなわち
、このドレイン接続電極 1 5 A は両辺部 1 2 の上縁の長さ方向のほぼ中央部分の
高さを両辺部 1 2 の高さ寸法よりも大きくした状態に形成して突片 1 6 を形成し
、この突片を所定の位置で外側に向けて水平になるように 9 0 度曲げ加工したもの
である。そして、この突片 1 6 の水平に曲げた部分をドレイン接続電極 1 5 A
として構成する。

【 0 0 3 2 】

ここで、前記ドレイン接続電極 1 5 A としての前記突片 1 6 の水平部分は正方
形に形成しており、その一辺の長さ寸法は半導体チップ 1 の円形をしたゲート電
極 7 及びソース電極 8 の内接正方形に近い寸法に形成している。さらに、この実
施形態においても、前記メタルベース 1 0 A の底辺部 1 1 の表面に半導体チップ
1 をマウントしている。半導体チップ 1 は第 1 の実施形態と同じであり、裏面の
ドレイン電極 4 をダイボンド材によってマウントする。また、半導体チップ 1 の

表面には円形のゲート電極 7 とソース電極 8 が配設されている。そして、半導体チップ 1 をマウントした状態では、前記ドレイン接続電極 1 5 A の表面の高さは、半導体チップ 1 のゲート電極 7 及びソース電極 8 の高さよりも 0 ~ 0 . 1 m m 、好ましくは 0 . 0 3 m m 程度高くなるように形成されている。

【 0 0 3 3 】

本実施形態の半導体装置は、第 1 の実施形態と同様に、メタルベース 1 0 A が半導体チップ 1 よりも若干大きな平面寸法であり、また厚さ寸法は半導体チップ 1 の厚さにメタルベース 1 0 A の厚さを加えた程度であり、しかも半導体チップ 1 に対して金属ワイヤ等をボンディングする必要がなく、さらに樹脂で封止していないため、半導体装置の小型化、薄型化が可能になり、しかも実装した状態ではメタルベース 1 0 A がヒートシンクとして機能するために放熱性にも優れる。

【 0 0 3 4 】

また、本実施形態の半導体装置を図 5 に示したような実装基板 3 0 に実装する際には、両辺部 1 2 のドレイン接続電極 1 5 A は長さ方向の寸法がメタルベース 1 0 A の長さ寸法に比較して極めて短い辺寸法の正方形でゲート電極 7 及びソース電極 8 の面積よりも小さい面積に形成しているため、半田をリフローする際のドレイン接続電極 1 5 A の熱容量を小さくでき、当該ドレイン接続電極 1 5 A での半田付けを容易に行うことが可能になる。また、ドレイン接続電極 1 5 A の 1 辺の寸法は、ゲート電極 7 及びソース電極 8 の円形内に含まれる寸法であるため、仮に実装基板 3 0 に形成するドレイン接続電極用のパッド部 3 5 をゲート電極用及びソース電極用のパッド部 3 3 , 3 4 と同じ寸法に形成した場合でも、ドレイン接続電極 1 5 がパッド部 3 5 からはみ出ることは少ない。また、このようにドレイン接続電極 1 5 A の面積をゲート電極 7 及びソース電極 8 よりも小さくする一方で、ドレイン接続電極 1 5 A の下部領域はメタルベース 1 0 A の全長さにわたって存在している両辺部 1 2 と一体であるため、ドレイン接続電極 1 5 A の機械的強度を高めることができる。さらに、ドレイン接続電極 1 5 A の表面はゲート電極 7 及びソース電極 8 よりも高い位置にあるため、実装時における半導体チップ 1 への機械的ダメージを防止し、かつゲート電極 7 及びソース電極 8 の半田付けを好適に行うことができ、半田付けの信頼性が高くなる。なお、この実施

形態では、第 1 の実施形態と同様に金属板を加工したのにもかかわらずドレイン接続電極 1 5 A の面積を第 1 の実施形態よりも大きくできるためドレイン接続電極 1 5 A の熱容量を低減する上では不利であるが、実装基板 3 0 のパッド部 3 5 に対する接触面積が大きくなるため、ドレイン接続抵抗を低減する上で有利になる。これにより、従来の半導体装置に比較して、ドレイン接続電極における実装の信頼性を格段に高めることが可能になる。

【 0 0 3 5 】

図 7 (a) は前記第 2 の実施形態の変形例の第 3 の実施形態の斜視図、図 7 (b) はその一部の拡大断面図である。前記第 2 の実施形態のメタルベースは曲げ加工によって形成されているが、ここではメタルベース 1 0 B はエッチングあるいは鍛造によって形成される。すなわち、半導体チップ 1 よりも幅寸法が幾分大きな矩形のメタルベース 1 0 B の底辺部 1 1 B の表面の両側にそれぞれ矩形のメサ状の凸部 1 7 が一体に形成されており、この凸部がドレイン接続電極 1 5 B として構成されている。前記ドレイン接続電極 1 5 B は第 2 の実施形態のドレイン接続電極と同様に底辺部 1 1 B の長さ方向のほぼ中間位置に形成されている。また、第 2 の実施形態のドレイン接続電極 1 5 A とほぼ同じ面積に形成されているが、その厚さ方向の断面は表面よりも下側の面積が幾分大きな台形となるように形成されている。さらに、半導体チップ 1 をマウントした状態では、前記ドレイン接続電極 1 5 B の表面の高さは、半導体チップ 1 のゲート電極 7 及びソース電極 8 の高さよりも 0 ～ 0 . 1 m m 、好ましくは 0 . 0 3 m m 程度高くなるように形成されている。

【 0 0 3 6 】

本実施形態の半導体装置は、第 1 及び第 2 の実施形態と同様な厚さ寸法であり、半導体装置の薄型化は可能になる。また、メタルベース 1 0 B の底辺部 1 1 B の面積も第 1 及び第 2 の実施形態とほぼ同じと言えるものであり小型化を達成することも可能である。さらに、メタルベース 1 0 B がヒートシンクとして機能するため、放熱性を確保することも可能である。

【 0 0 3 7 】

また、本実施形態の半導体装置を実装基板に実装する際には、第 1 及び第 2 の

実施形態と同様に行うことができる。ただし、ドレイン接続電極 1 5 B はメタルベース 1 0 B の底辺部 1 1 B と一体であるため、ゲート電極 7 及びソース電極 8 に比較して熱容量は大きくなるが、当該ドレイン接続電極 1 5 B はゲート電極 7 及びソース電極 8 よりも面積が小さく、また台形断面をしているので熱容量を低減し、半田量がいたずらに増大することがなく、ゲート電極 7 及びソース電極 8 との半田の均一化を図り、半田接続の信頼性が向上する。さらに、ドレイン接続電極 1 5 B の表面はゲート電極 7 及びソース電極 8 よりも高い位置にあるため、実装時における半導体チップ 1 への機械的なダメージを防止し、かつゲート電極 7 とソース電極 8 での半田付けの信頼性を高めることができる。さらに、ドレイン接続電極 1 5 B は台形断面をして下部の周辺においてメタルベース 1 0 B の底辺部 1 1 B と一体であるため、十分な機械的な強度が得られ、この面からも実装の信頼性が向上できる。

【 0 0 3 8 】

ここで、前記第 1 ないし第 3 の実施形態では、ゲート電極及びソース電極、さらにドレイン接続電極に半田ボール等を形成し、この半田ボールを利用して実装基板への実装を行うようにすることも可能である。半田ボールを利用すると、パッド状の電極よりも実装が容易になり、実装不良が低減するという利点がある。また、半田ボールの高さ分実装基板面との距離がとれるため、実装時のフラックス成分が半導体チップの表面に付着し難くなり、腐食による信頼性劣化が生じるのを防止するという利点もある。例えば、図 8 は前記第 1 の実施形態の半導体装置 D に適用した例であり、メタルベース 1 0 の両辺部 1 2 A の高さ寸法を長くしてドレイン接続電極 1 5 がゲート電極 7 及びソース電極 8 の表面よりもほぼ半田ボール 2 1 の高さ寸法に近い寸法だけ高くした上で、ゲート電極 7 とソース電極 8 に半田ボール 2 1 を形成し、ドレイン電極 1 5 の高さが半田ボール 2 1 の高さよりも 0. 0 3 mm 程度高くなるように形成している。この半田ボール 2 1 とドレイン接続電極 1 5 とを利用して実装基板への実装を行うことで、前記した半田ボールによる有利な実装が可能になる。また、図 9 (a) は半田ボールを前記第 2 の実施形態に適用した例であり、図 9 (b) は前記第 3 の実施形態に適用した例であり、各電極 7, 8, 1 5 A, 1 5 B 上に半田ボール 2 1 を形成し、この半

田ボール 2 1 を利用して実装基板に対して加熱圧着による実装を行っている。なお、これら第 1 及び第 2 の実施形態の場合にはドレイン接続電極に形成した半田ボール 2 1 の表面の高さをゲート電極及びソース電極に形成した半田ボール 2 1 の表面の高さよりも高くする。

【 0 0 3 9 】

また、半田ボールを利用することで、例えば、図 1 0 (a) に示すように、第 3 の実施形態のメタルベース 1 0 B に厚さ寸法の大きな半導体チップ 1 A をマウントしたときにゲート電極 7 及びソース電極 8 とドレイン接続電極 1 5 B の表面高さに大きな差が生じたような場合には、低い側の電極、ここではドレイン接続電極 1 5 B にのみ当該表面高さの差に相当する径寸法の半田ボール 2 1 を形成することで、実装基板に対するフェースダウンによる実装が可能になる。逆に、図 1 0 (b) に示すように、ドレイン接続電極 1 5 B ' の高さが半導体チップ 1 の厚さよりも大きいときには、半導体チップ 1 のゲート電極 7 及びソース電極 8 に当該高さの差に相当する径寸法の半田ボール 2 1 を形成する。この場合には、電極の表面高さと半田ボールの表面高さに差を設けるようにする。なお、半田ボール 2 1 を搭載する場合には、図 4 に示した工程において、マウント装置 S 4 の後工程位置に半田ボール搭載装置 S 7 を配設しておき、半導体チップ 1 をメタルベース 1 0 にマウントした後、前記半田ボール搭載装置 S 7 において所定電極上に半田ボール 2 1 を乗せ、半導体チップと同時にキュア装置 S 5 においてリフローすることで各電極上に搭載することができる。

【 0 0 4 0 】

図 1 1 (a) は本発明の第 4 の実施形態の半導体装置の斜視図、図 1 1 (b) はその一部の拡大断面図である。ここでも第 1 の実施形態と同様に MOS F E T としての半導体装置に本発明を適用した例である。この実施形態では、メタルベース 1 0 C は半導体チップ 1 のほぼ 2 倍の面積をもつ矩形の金属板で形成されており、当該メタルベース 1 0 C の底辺部 1 1 C の表面の一侧寄りの領域に半導体チップ 1 がマウントされている。また、前記底辺部 1 1 C の他側寄りの領域に 2 つのドレイン接続電極 1 5 C が一体に形成されている。前記半導体チップ 1 は第 1 の実施形態の半導体チップと同じであり、半導体チップ 1 の裏面のドレイン電

極 4 をメタルベース 1 0 C の底辺部 1 1 C の表面にダイボンド材によってマウントしている。また、表面には円形のゲート電極 7 とソース電極 8 が配設されている。

【 0 0 4 1 】

前記 2 つのドレイン接続電極 1 5 C は、前記メタルベース 1 0 C の底辺部 1 1 C の他側寄りの領域にそれぞれ円形をしたメサ状に形成されている。すなわち、各ドレイン接続電極 1 5 C は、メタルベース 1 0 C の底辺部 1 1 C を構成する金属板をエッチングあるいは鍛造して形成されており、前記ゲート電極 7 及びソース電極 8 よりも若干小さい径寸法をした円形メサ状に形成され、さらに、各ドレイン接続電極 1 5 A は板厚方向の断面形状が台形となるように、表面よりも下側領域の径寸法が若干大きくなるように形成されている。また、図 1 1 (c) に示すように、両ドレイン接続電極 1 5 A は近接している底辺部 1 1 C の他側辺及び両端辺に対してそれぞれの距離が等しくなるように互いに対称となる位置に配置されている。そして、前記底辺部 1 1 C の一側寄りの領域に前記半導体チップ 1 をマウントしたときに、ゲート電極 7 及びソース電極 8 と 2 つのドレイン接続電極 1 5 C の各中心がメタルベース 1 0 C よりも一回り小さい同心の正方形に位置されるように、これら 2 つのドレイン接続電極 1 5 C 、ゲート電極 7 及びソース電極 8 が対称に配置されている。なお、この実施形態の場合には、ドレイン接続電極 1 5 C と、ゲート電極 7 及びソース電極 8 の表面高さは等しくなるように、すなわち両表面の差が 0 m m となるように構成する。

【 0 0 4 2 】

本実施形態の半導体装置は、第 1 ないし第 3 の実施形態とほぼ同様な厚さ寸法に形成でき、半導体装置の薄型化は可能になる。その一方で、第 1 ないし第 3 の実施形態と比較すると、メタルベース 1 0 C の面積は半導体チップ 1 のほぼ 2 倍であるため、小型化の点では若干不利になるが、実装した状態ではヒートシンクとして機能するメタルベース 1 0 C の面積を大きいため放熱性を高めることが可能になる。

【 0 0 4 3 】

また、本実施形態の半導体装置を実装基板に実装する際には、2 つのドレイン

接続電極 1 5 C は半導体チップ 1 のゲート電極 7 及びソース電極 8 と同じ円形をしているため、各電極での半田付けをほぼ同じ条件で行うことができる。ただし、ドレイン接続電極 1 5 C はメタルベース 1 0 C と一体であるため、ゲート電極 7 及びソース電極 8 に比較して熱容量は大きくなるが、当該ドレイン接続電極 1 5 C はゲート電極 7 及びソース電極 8 よりも若干小径をして面積が小さく、また台形断面をしているため、前記各実施形態と同様に、実装時において各電極における半田量を均一化を図り、かついたずらに高温状態にすることもなく、ドレイン接続電極 1 5 C における半田付けの信頼性、及びゲート電極 7 及びソース電極 8 における半田付けの信頼性が向上される。

【 0 0 4 4 】

さらに、2 つのドレイン接続電極 1 5 C はメタルベース 1 0 C の各辺から等距離に配置されているため、両ドレイン接続電極 1 5 C の熱容量を等しくでき、また個々のドレイン接続電極 1 5 C においては円周方向の熱容量のバランスを均等に近いものにでき、ドレイン接続電極 1 5 C における半田のリフローの均一性を高める上で有効となる。また、各ドレイン接続電極 1 5 C はメタルベース 1 0 C の辺よりも内側の領域に存在しているため、実装時に半田がメタルベース 1 0 C の側面に沿って吸い上げられるようなこともない。さらに、ドレイン接続電極 1 5 C とゲート電極 7 及びソース電極 8 が対称な位置に配置されているため、実装時におけるメタルベース 1 0 C の安定性を高め、かつ各電極における半田付けの条件を均等化することができ、前述した各電極での半田付けの信頼性を高める上で有利になる。なお、この際にドレイン接続電極 1 5 C とゲート電極 7 及びソース電極 8 の表面高さが等しいため、半導体装置を安定した状態で実装基板上に載置して半田付けを行うことができることは言うまでもない。さらに、両ドレイン接続電極 1 5 C は下部においてメタルベース 1 0 C と一体であるため、十分な機械的な強度が得られ、この面からも実装の信頼性が向上できる。

【 0 0 4 5 】

ここで、図示は省略するが、第 4 の実施形態においても、ドレイン接続電極 1 5 C、ゲート電極 7 及びソース電極 8 に半田ボールを形成するようにしてもよい。また、第 3 の実施形態及び第 4 の実施形態では、ドレイン接続電極の断面形状

を台形にしているが、角柱状あるいは円柱状に形成してもよい。ただし、下部領域においてメタルベースと一体に形成されており、かつメタルベースとの間に溝等が形成されておらず連続した状態に構成されていることは必要である。さらに、第4の実施形態では、ドレイン接続電極及び半導体チップの各電極は必ずしも正方形の配置とすることはなく、柵目状の配置とするだけでも同等の作用効果を得ることが可能である。

【0046】

なお、前記第1ないし第3の実施形態ではドレイン接続電極を半導体チップのゲート電極及びソース電極よりも所要寸法だけ高くした例を示しているが、このような本発明の特徴は第1ないし第3の実施形態に記載の構成に限られず、従来技術で述べた公知の構成の半導体装置についても同様に適用して半導体チップの機械的ダメージの防止、及びドレイン接続電極及び半導体チップの電極のそれぞれにおける半田付けの信頼性を向上する効果が得られるものである。また、第3及び第4の実施形態においては、メタルベースをエッチングにより形成する場合には曲げ加工の場合に比較して製造工程の点で不利になるが、この場合でも単純な形状をしたドレイン接続電極を残すように金属板を厚さ方向にエッチングするのみであるため、比較的容易に実現することが可能である。もちろん、鍛造による形成であれば曲げ加工と同程度に容易に製造することが可能になる。

【0047】

以上の各実施形態では、本発明をMOSFETに適用した例を示しているが、バイポーラトランジスタ、ダイオード、あるいはIC等の他の半導体チップを搭載する半導体装置についても本発明を同様に適用することが可能である。

【0048】

【発明の効果】

以上説明したように本発明は、接続電極の表面の高さが半導体チップのゲート電極及びソース電極よりも高い位置とされているので、実装時にフェースダウンにより実装基板に実装する際に半導体チップに対する機械的ダメージを防止するとともに、半導体チップの電極と実装基板との間に構成される微小な間隔によって当該電極の半田付けの信頼性を高めることができる。

【 0 0 4 9 】

また、本発明は、メタルベースの底辺部の両側を曲げ起こした両辺部の上縁部を選択的に切り欠いて接続電極が形成されているので、接続電極の長さを短くして接続電極の面積を半導体チップの電極の面積よりも小さくし、接続電極における熱容量を低減し、電極を含めた半田量の均一化を図り、半導体チップに熱ダメージを与えることなく半田付けの信頼性を高めることができる。また、接続電極は下部においてメタルベースと一体であり、機械的な強度を確保することができる。さらに、接続電極を対称配置することで、実装時にメタルベースを安定した状態で実装基板上に載置して半田付けを行うことができ、半田付けの信頼性を向上することができる。

【 0 0 5 0 】

また、本発明は、接続電極は両辺部に残された上縁部を半導体チップの電極の面積よりも小さい面積で両外側に向けて曲げ形成されるので、金属板を加工したのにもかかわらず実装基板に対する半田付け面積を大きくとれ、低抵抗での接続が可能になる。

【 0 0 5 1 】

さらに、本発明は、接続電極はメタルベースは底辺部の表面の一部領域において金属板の厚さを部分的に増大させ、かつ接続電極は半導体チップの電極よりも小さい面積に形成されているので、接続電極の熱容量を小さくして実装時における半田量の均一化を図ることができ、また、接続電極は表面側の面積が下部の面積よりも小さい断面が台形に形成されることにより、接続電極の機械的強度を高めることができ、実装基板に対する半田付けの信頼性を高めることができる。また、接続電極の表面を半導体チップの電極の表面よりも高くすれば、実装時における半導体チップの機械的なダメージを防止し、かつ半導体チップの電極における半田付けの信頼性を高めることもできる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の半導体装置の斜視図である。

【図 2】

図 1 の半導体装置の一部を破断した分解斜視図である。

【図 3】

図 1 の半導体装置の平面図、正面図、右側面図である。

【図 4】

図 1 の半導体装置の製造方法を説明するための概念図である。

【図 5】

図 1 の半導体装置の実装構造を説明するための斜視図である。

【図 6】

本発明の第 2 の実施形態の半導体装置の斜視図と一部の拡大断面図である。

【図 7】

本発明の第 3 の実施形態の半導体装置の斜視図と一部の拡大断面図である。

【図 8】

本発明の第 1 の実施形態の変形例の半導体装置の斜視図である。

【図 9】

本発明の第 2 及び第 3 の実施形態の変形例の半導体装置の斜視図である。

【図 1 0】

本発明の第 3 の実施形態のさらなる変形例の半導体装置の斜視図である。

【図 1 1】

本発明の第 4 の実施形態の半導体装置の斜視図と一部の拡大断面図及び各電極の配置を示す平面図である。

【図 1 2】

従来の半導体装置の一例の斜視図である。

【図 1 3】

従来の半導体装置の他の例の斜視図である。

【図 1 4】

従来の半導体装置のさらに他の例の斜視図である。

【符号の説明】

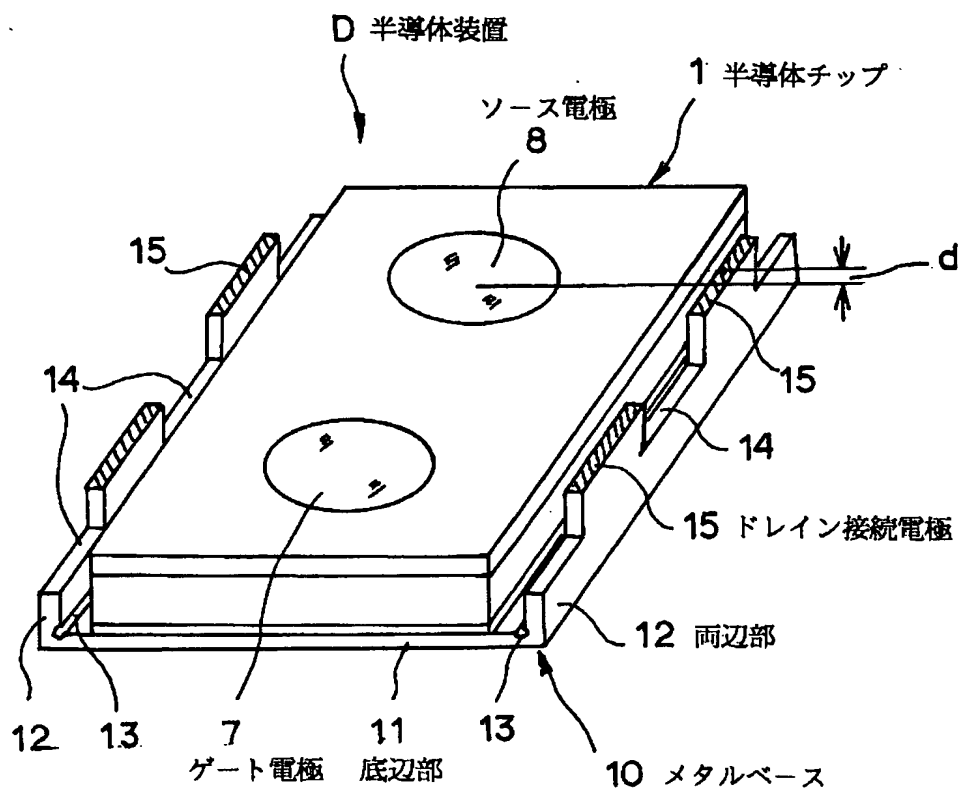
D 半導体装置

1 半導体チップ

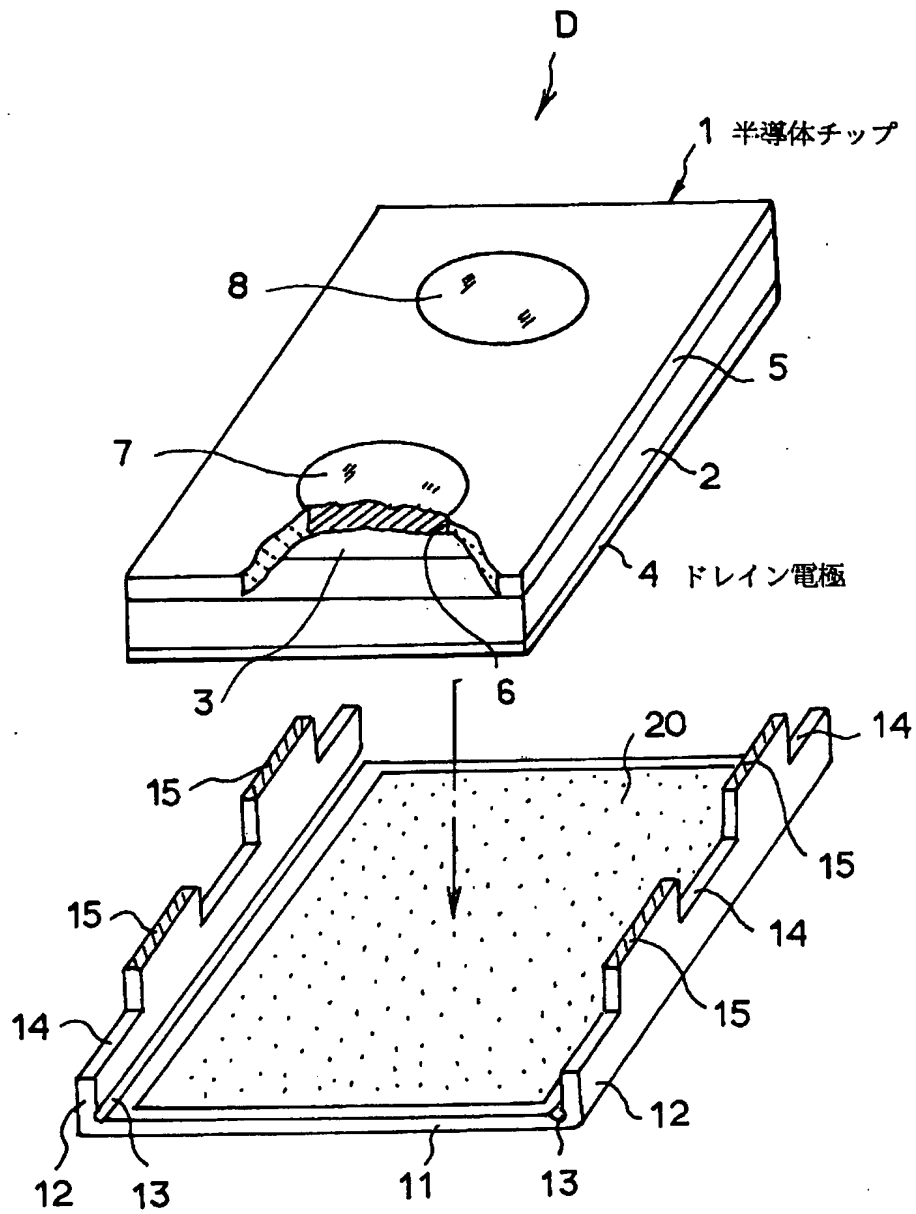
- 4 ドレイン電極
- 7 ゲート電極
- 8 ソース電極
- 1 0, 1 0 A, 1 0 B, 1 0 C メタルベース
- 1 1, 1 1 B, 1 1 C 底辺部
- 1 2 両辺部
- 1 3 細溝
- 1 5, 1 5 A, 1 5 B, 1 5 C ドレイン接続電極
- 2 0 マウント材
- 2 1 半田ボール
- 3 0 実装基板
- 3 1 絶縁基板
- 3 2 回路パターン
- 3 3 ゲート電極用パッド部
- 3 4 ソース電極用パッド部
- 3 5 ドレイン接続電極用パッド部

【書類名】 図面

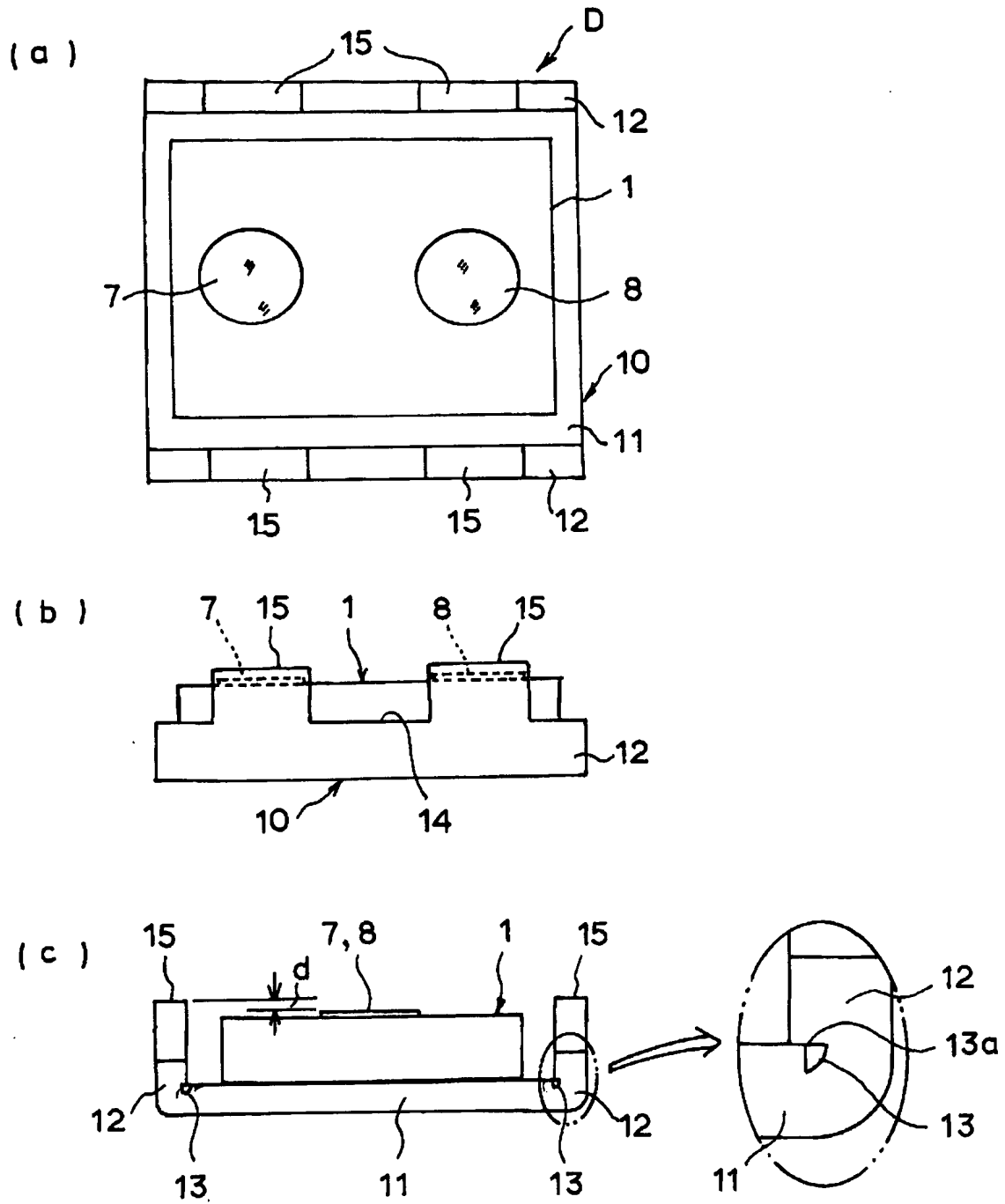
【図 1】



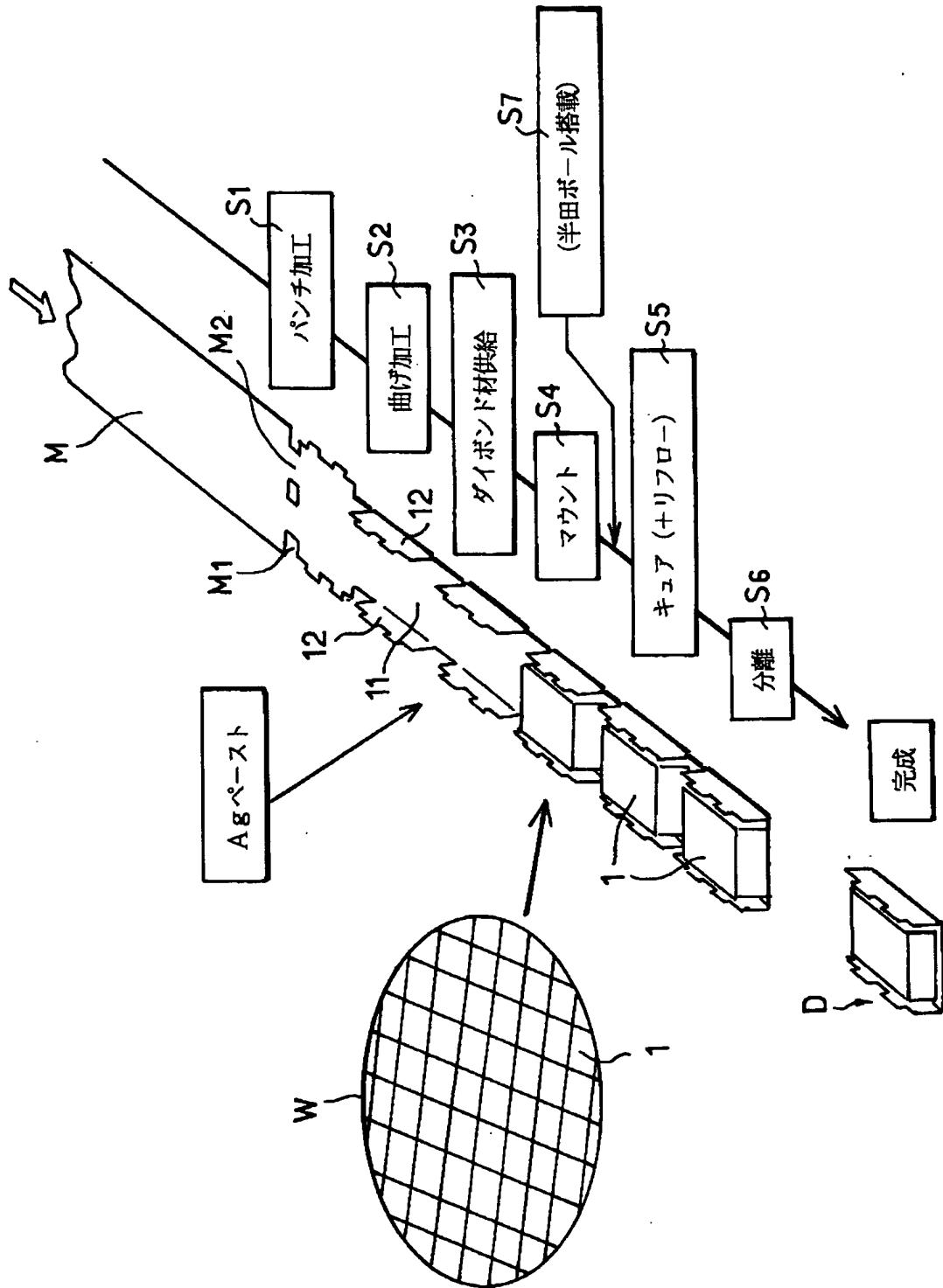
【図 2】



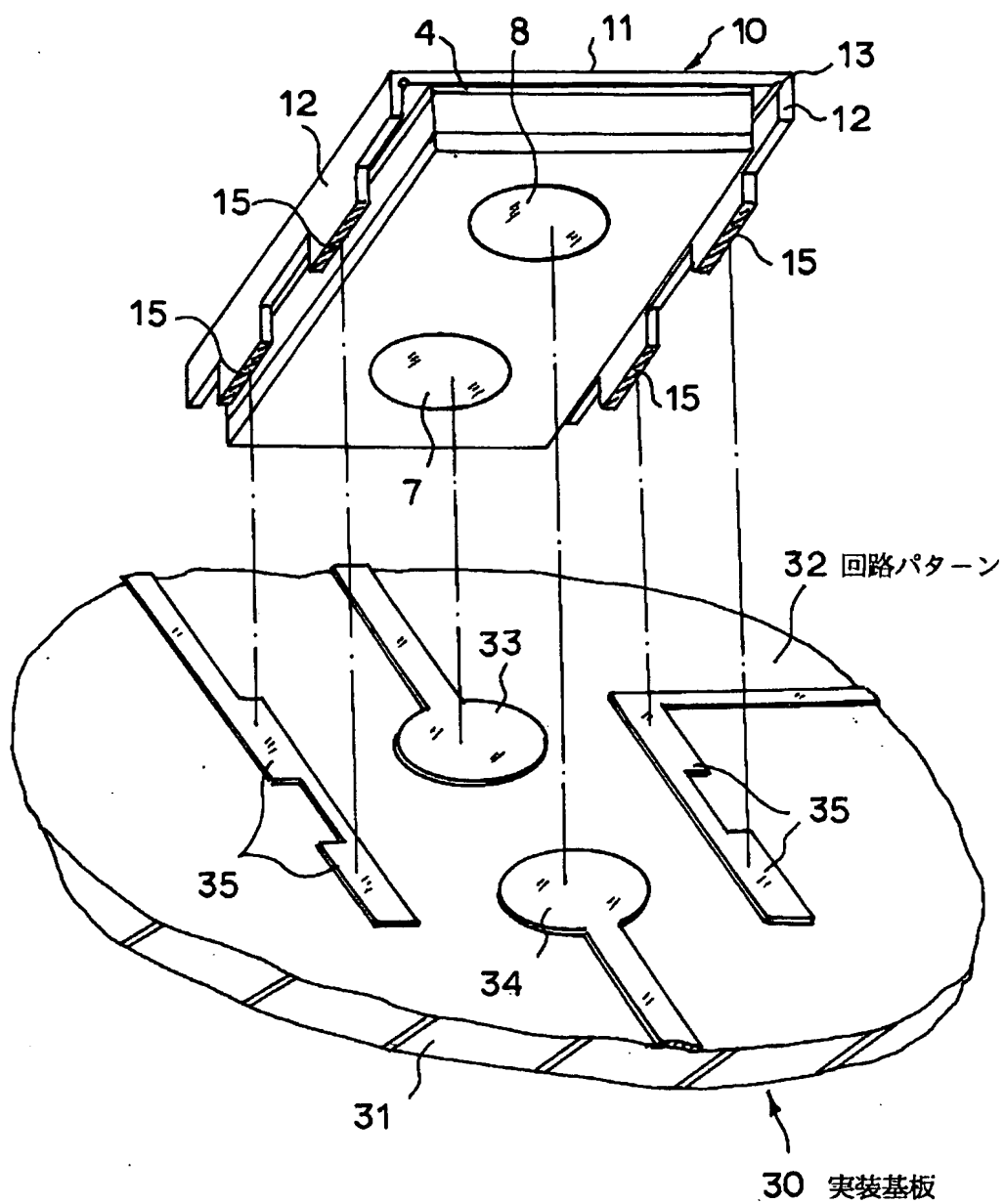
【図 3】



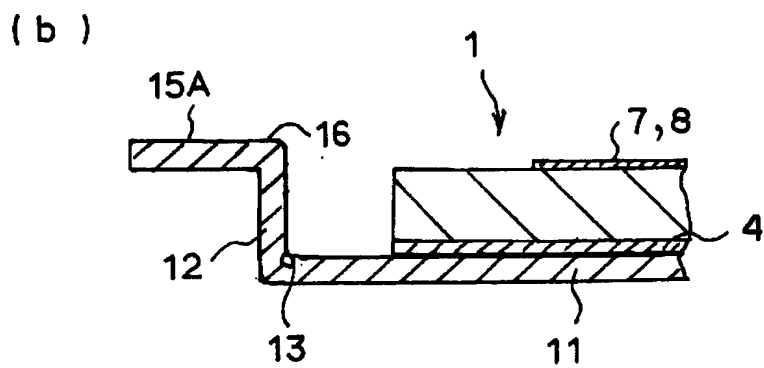
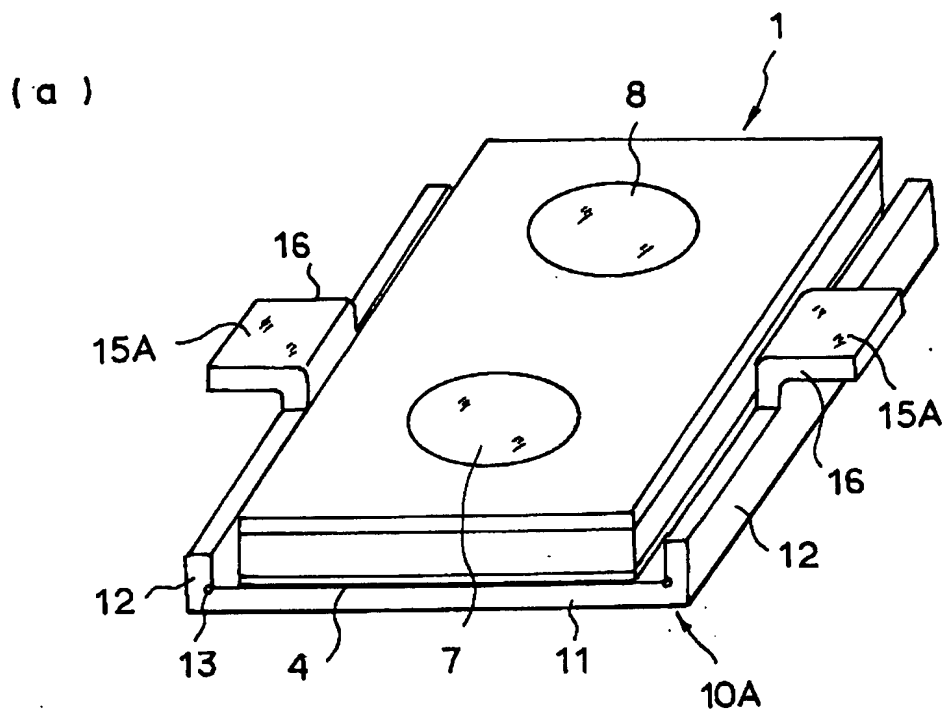
【図 4】



【図 5】

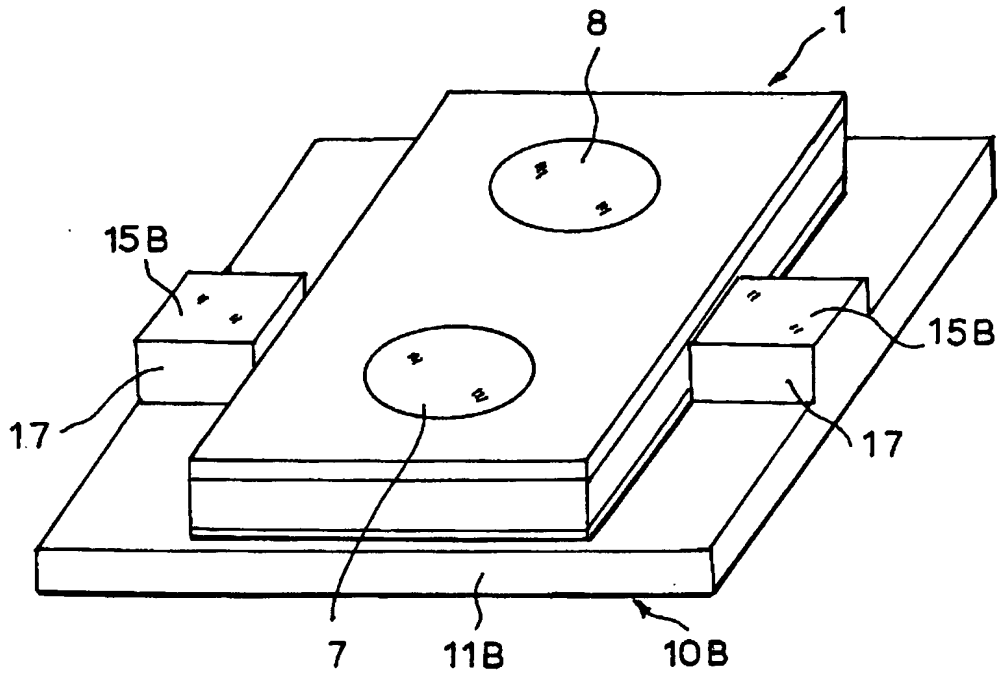


【図 6】

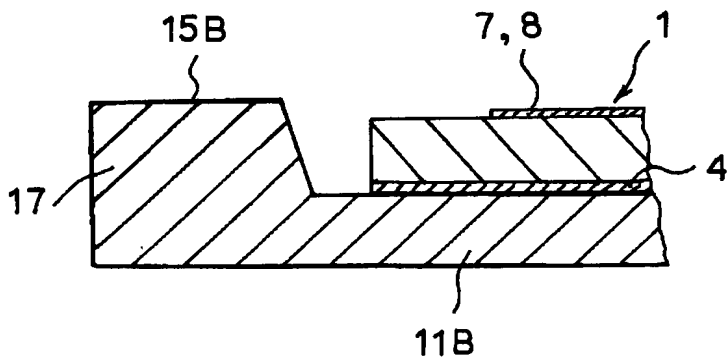


【図 7】

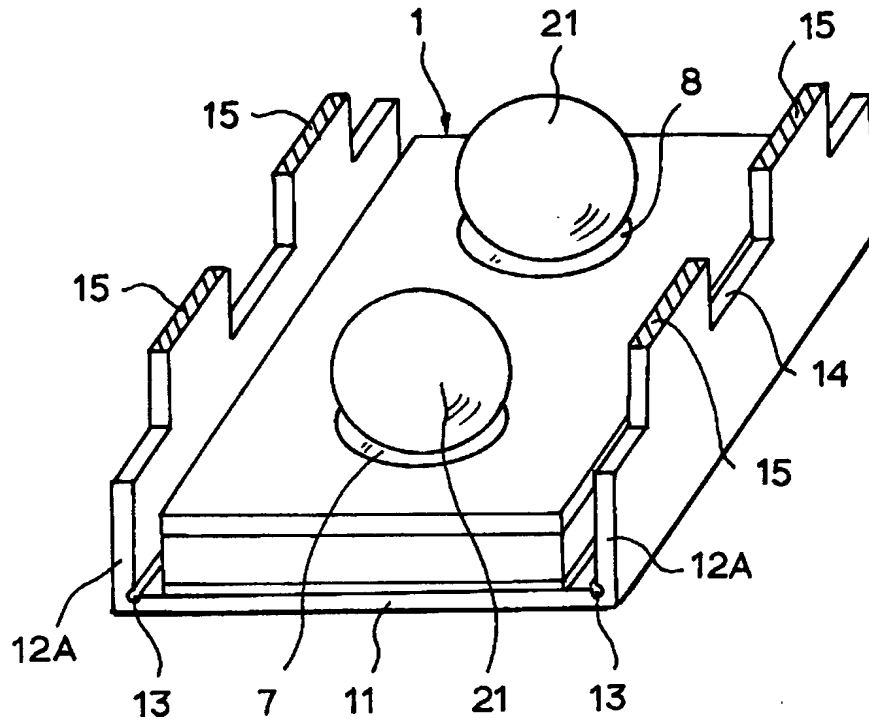
(a)



(b)

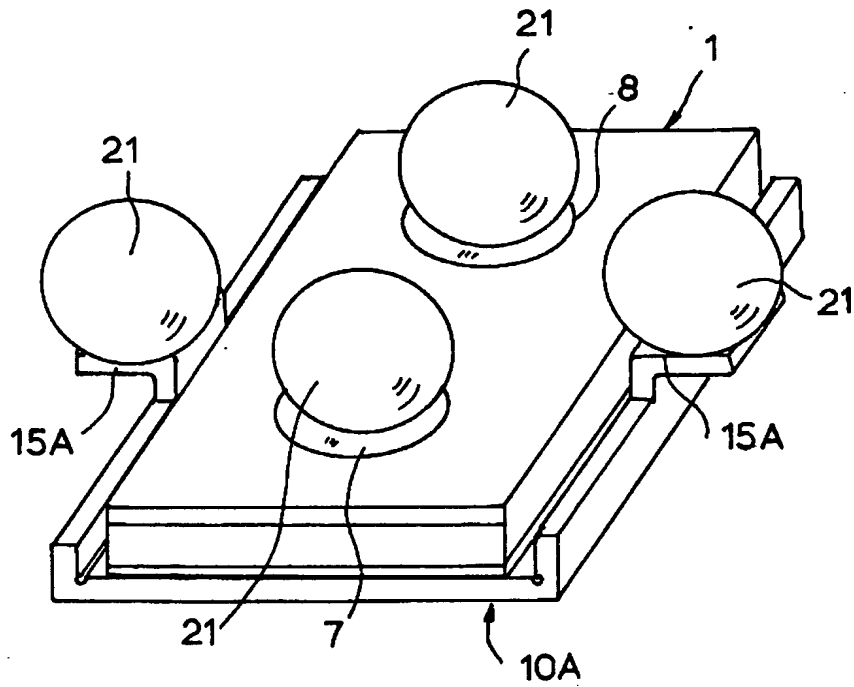


【図 8】

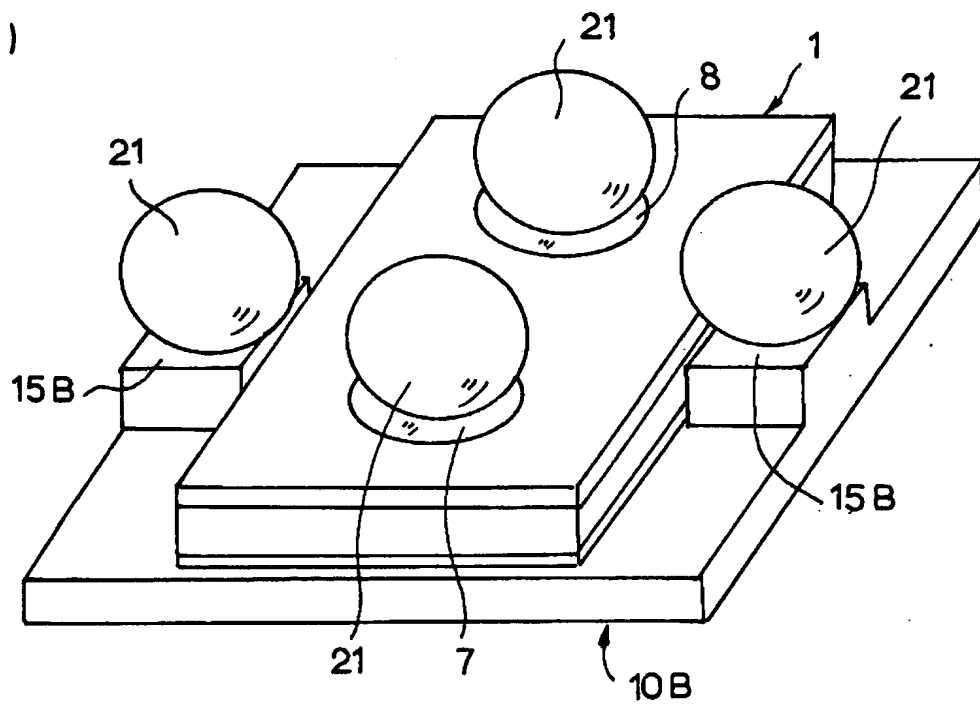


【図 9】

(a)

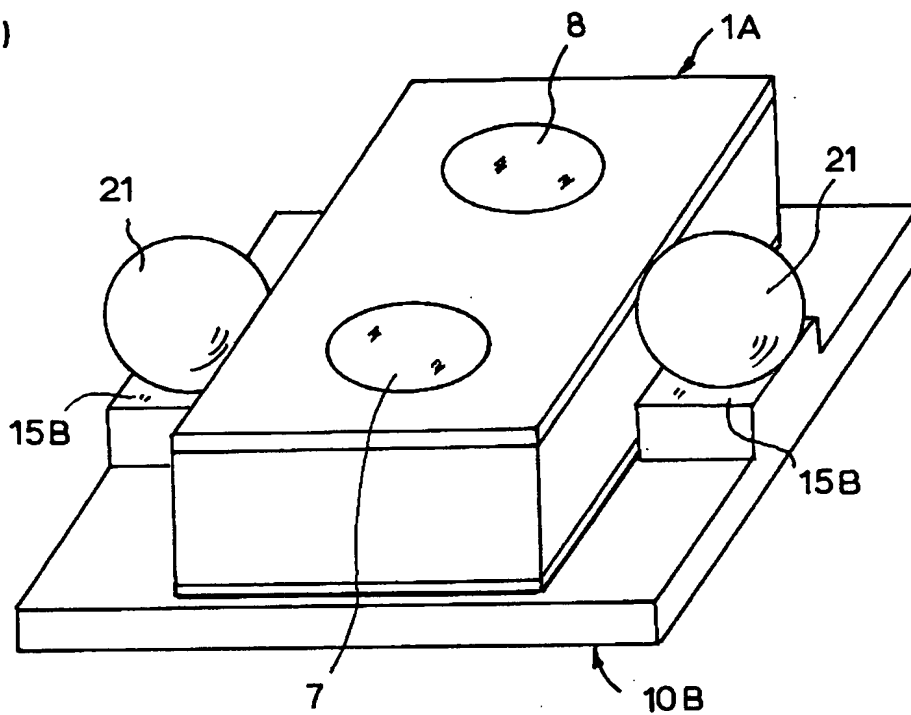


(b)

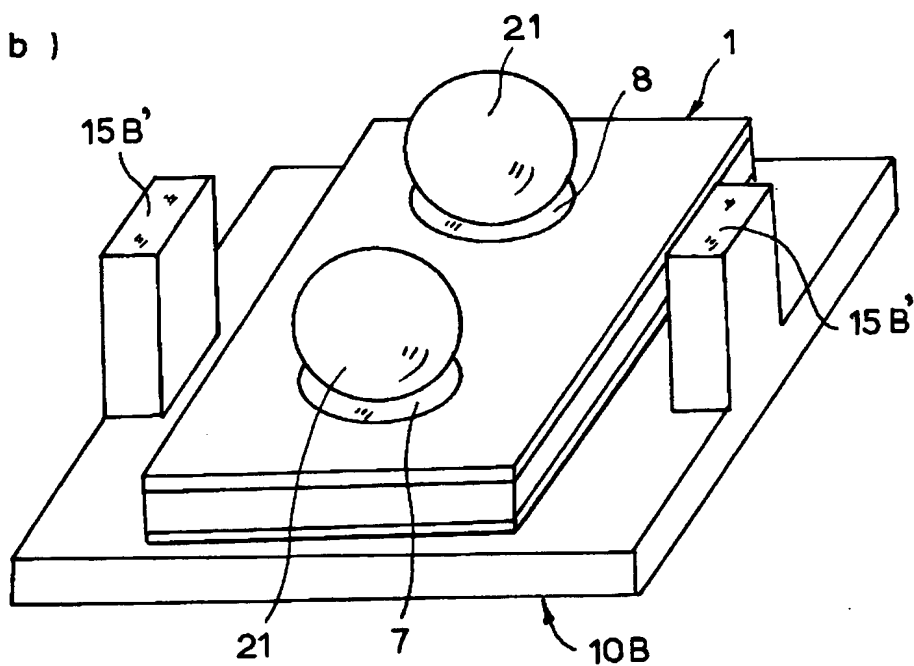


【図10】

(a)

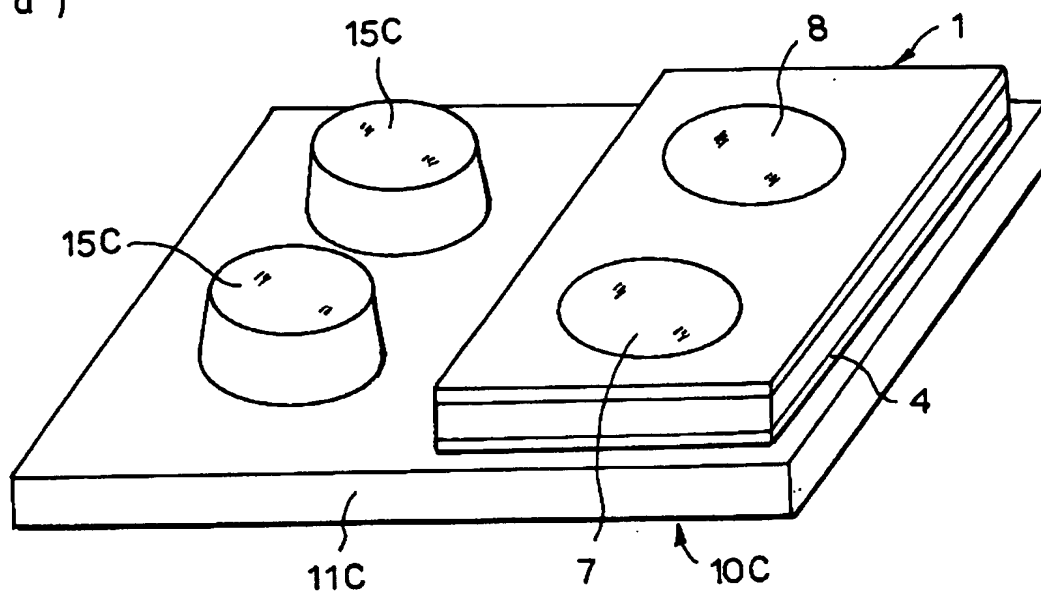


(b)

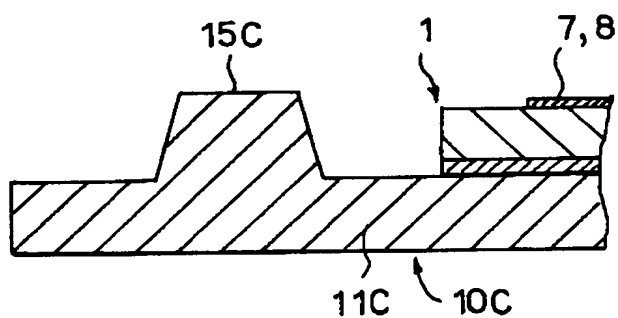


【図 11】

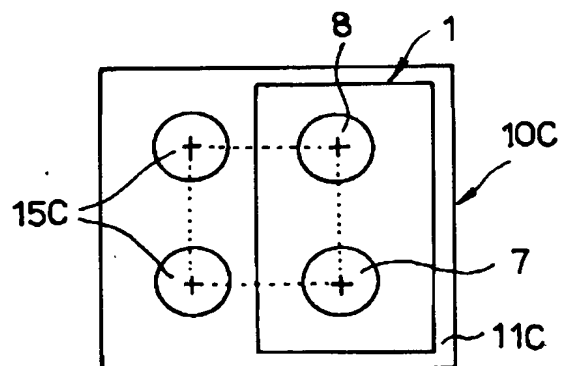
(a)



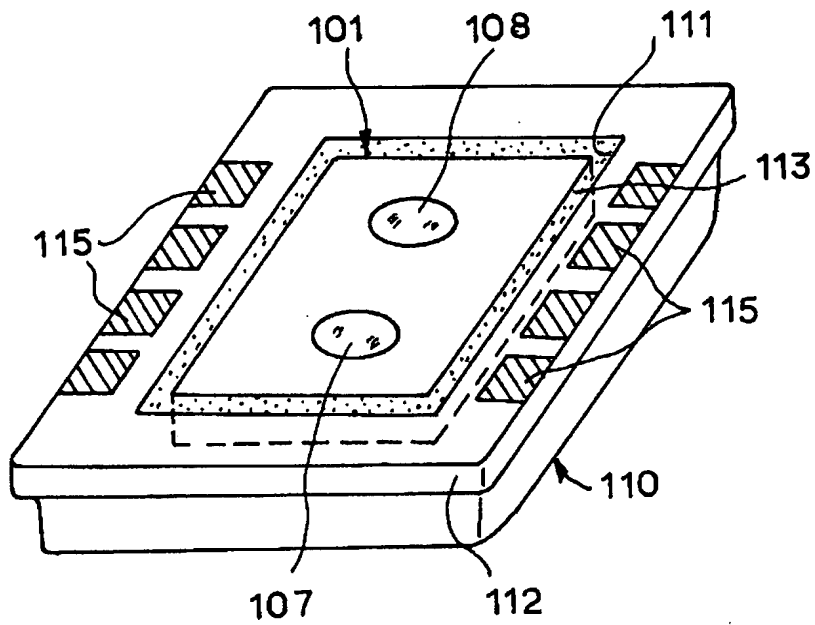
(b)



(c)

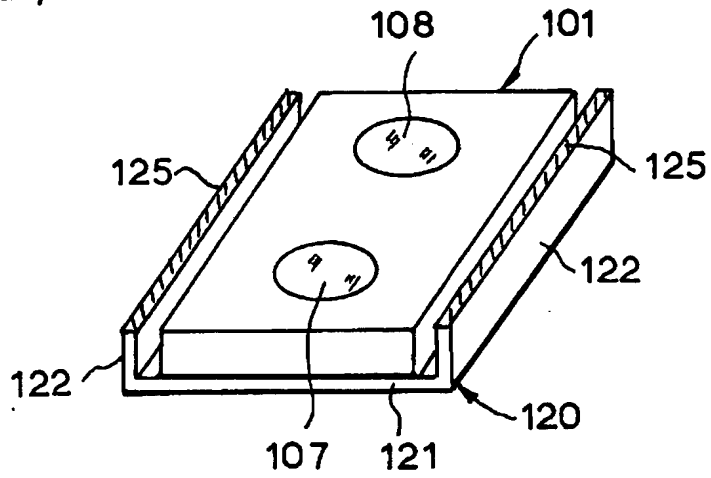


【図 1 2】

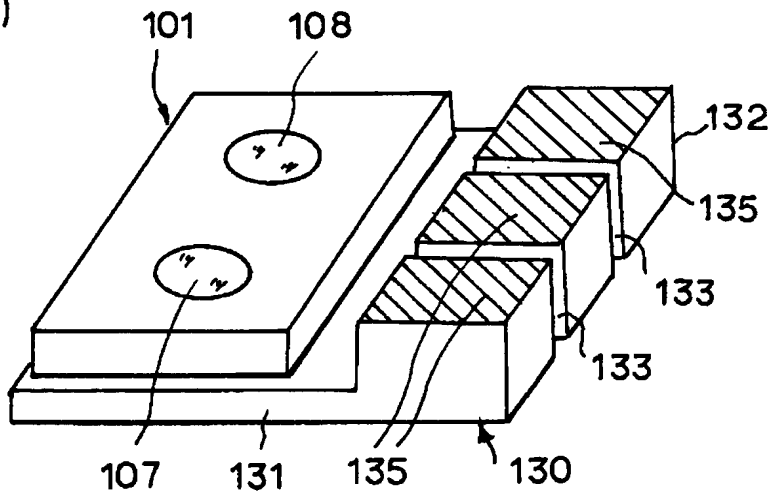


【図 1 3】

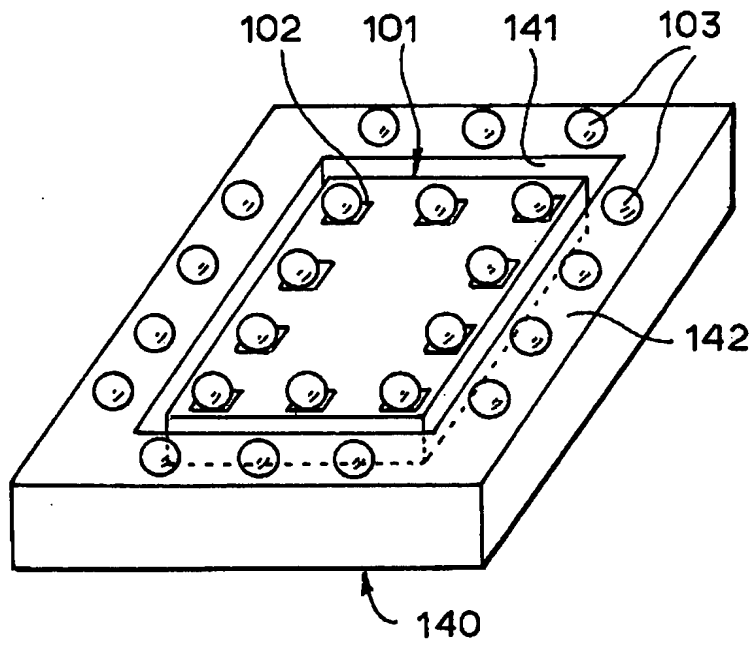
(a)



(b)



【図 1 4】



【書類名】 要約書

【要約】

【課題】 チップサイズパッケージの半導体装置における実装時での半田付けを良好なものとし、実装の信頼性を改善する。

【解決手段】 矩形の金属板からなる底辺部 1 1 と、底辺部 1 1 の両側に形成された両辺部 1 2 に設けられた接続電極 1 5 とを備えるメタルベース 1 0 と、メタルベース 1 0 の底辺部 1 1 に搭載された半導体チップ 1 とで構成され、半導体チップ 1 の表面に形成された電極 7, 8 と接続電極 1 5 を利用して実装を行う半導体装置において、接続電極 1 5 の表面高さは半導体チップ 1 の電極 7, 8 の表面高さよりも所要寸法 d だけ高くされる。フェースダウンにより実装基板に実装する際に、半導体チップ 1 が実装基板に当接されることがなく、半導体チップ 1 の機械的ダメージを防止するとともに、電極 7, 8 と実装基板との間に構成される微小間隔によって半田層を形成し、半田付けの信頼性を高くする。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）
【整理番号】 S085
【提出日】 平成15年 1月21日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2002-198205
【承継人】
 【識別番号】 302062931
 【氏名又は名称】 NECエレクトロニクス株式会社
 【代表者】 戸坂 馨
【承継人代理人】
 【識別番号】 100081433
 【弁理士】
 【氏名又は名称】 鈴木 章夫
【提出物件の目録】
 【物件名】 承継人であることを証する登記簿謄本 1
 【援用の表示】 特願2002-318488の出願人名義変更届に添付
 のものを援用する。
 【物件名】 承継人であることを証する承継証明書 1
 【援用の表示】 平成9年特許願第225968号の出願人名義変更届に
 添付のものを援用する。
 【包括委任状番号】 0216537
【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 東京都港区芝五丁目 7 番 1 号

氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日	2002年11月 1日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部1753番地
氏 名	NECエレクトロニクス株式会社